

UNIVERSIDADE DO ESTADO DO RIO GRANDE DO NORTE
CAMPOS DE NATAL
FACULDADE DE CIÊNCIA EXATAS E NATURAIS -FANAT
DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO
CURSO DE CIÊNCIA DA COMPUTAÇÃO

VANESSA CRISTINA RODRIGUES DE ARRUDA GOMES

**ESPECIFICAÇÃO FORMAL DE TOPOLOGIA E ROTEAMENTO PARA REDE EM
CHIP 3D**

Nova Cruz/RN

2015

VANESSA CRISTINA RODRIGUES DE ARRUDA GOMES

**ESPECIFICAÇÃO FORMAL DE TOPOLOGIA E ROTEAMENTO PARA REDE EM
CHIP 3D**

Monografia apresentada à Universidade do Estado do Rio Grande do Norte – UERN - como requisito obrigatório para obtenção do título de Bacharel em Ciência da Computação.

ORIENTADORA Karla Darlene
Nepomuceno Ramos
CO-ORIENTADORA: Dayanne Kelly
Freire da Rocha Escalé

Nova Cruz/RN

2015

VANESSA CRISTINA RODRIGUES DE ARRUDA GOMES

**ESPECIFICAÇÃO FORMAL DE TOPOLOGIA E ROTEAMENTO PARA REDE EM
CHIP 3D**

Monografia apresentada à Universidade do Estado do Rio Grande do Norte – UERN - como requisito obrigatório para obtenção do título de Bacharel em Ciência da Computação.

ORIENTADORA: Karla Darlene Nepomuceno Ramos
CO-ORIENTADORA: Dayanne Freire Rocha Escalé

Aprovado em ____/____/____.

Banca Examinadora

Dra. Karla Darlene Nepomuceno Ramos
(Orientadora)
UERN

Prof. Dayanne Freire Rocha Escalé
(Co -Orientadora)
UERN

Dr. Isaac de Lima Oliveira Filho
(Avaliador)
UERN

“Direi do Senhor: Ele é meu Deus, o meu refúgio, a minha fortaleza, e nele confiarei”.
Salmo 91 2.

AGRADECIMENTOS

A Deus por toda força que me deu quando não acreditava, pela coragem de continuar, por todo alívio que me deu em todas as horas de angústia.

A minha querida e amada avó que me criou a qual é minha mãe Dona Inês Rodrigues, que sempre me colocava nas suas orações para que Deus ilumina-se minha mente para que desenvolvesse um bom trabalho.

Ao meu amado noivo Junior Silva que sempre esteve ao meu lado me dando força e me animando quando estava triste e sempre disposto a me ajudar.

À minha querida Dayanne Escalé, que também foi Co-Orientadora a qual admiro muito, que se dedicou desde sempre, que estava sempre disponível, e ainda me tranquilizava nas horas que eu mais precisava.

A minha querida amiga e colega de sala Laíse Caroline, que sempre esteve ao meu lado todo o curso, me dando forças e nunca deixou que perdesse as esperanças.

A todos meus irmãos em Cristo da Igreja de São Francisco de Assis que sempre me colocaram em suas orações e me deram forças.

A todos os meus amigos e familiares que me animavam em dizer que vai dar tudo certo.

A todos os professores da UERN que se dedicaram para conosco todo o curso e que são responsáveis por todas as minhas conquistas acadêmicas inclusive esta.

A professora Karla que se prontificou para a finalização na orientação desta monografia, a qual sou muito grata.

Em fim a todos que contribuíram para que esse tão esperado sonho se tornasse realidade, me fazendo assim muito mais feliz e mais confiante para seguir na vida acadêmica.

RESUMO

A integração tridimensional em Redes em Chip tem apresentado soluções promissoras para problemas quando comparados a integração Bidimensional que afetam o desempenho da rede. A integração de vários núcleos em um só chip também apresenta grandes desafios, um dos grandes problemas encontrados na Integração Tridimensional é o superaquecimento dos roteadores na rede. Este trabalho apresenta o desenvolvimento e verificação da especificação formal através da notação Z do *Aware Adaptive Routing* (TAAR) e seus modos de roteamento que é utilizado em Redes em Chip Tridimensionais que pretende equilibrar a carga de tráfego para a topologia NSI-Mesh em NoC 3D, afim de apoiar uma análise qualitativa desde que satisfaçam as restrições da Topologia.

Palavras-chave: Redes em Chip 3D, Notação Z, Topologia Mesh Não Estacionária, Roteamento Adaptativo.

ABSTRACT

The three-dimensional integration in networks-on-chip has shown promising solutions to problems when compared to two-dimensional integration which affect network performance. The integration of multiple cores on a single chip also presents great challenges, one of the major problems encountered in Three Dimensional Integration is the overheating of the routers on the network. This paper presents the development verification of formal specification through the Aware Adaptive Routing (TAAR) notation Z and its ways of routing that is used in networks in three-dimensional chip with the intention of balancing the traffic load for the NSI-Mesh topology in 3D NoC in order to support a qualitative analysis provided it meets the restrictions of topology.

Keywords: network-on-chip, 3D, Z notation, adaptive routing

LISTA DE FIGURAS

Figura 2.1: Topologia básica de rede-em-chip Adaptada de (ZEFERINO, 2003)	15
Figura 2.2: Topologias utilizadas em Redes em Chip (Baseado em Duato e Ni, 1997)	17
Figura 2.3: Rede em Chip 3D Adaptada de (PAVLIDIS e FRIEDMAM, 2007).	18
Figura 2.4: Topologia Mesh-Não-Estacionária. Adaptada de (CHEN, 2013).	19
Figura 3.1 Declaração de esquema em Z	22
Figura 3.2 Definições da Notação Z em Spivey (1992).	23
Figura 3.3 Declaração de conjuntos em Z de Spivey (1992).	23
Figura 3.4: Janela de Especificação do Z-Eves	24
Figura 3.5: Janela de Prova do Z-Eves	24
Figura 3.6: Fases da Metodologia CADZ (RAMOS, 2007)	25
Figura 3.7: Modelo conceitual da biblioteca de especificações CADZ	26
Figura 4.1: Esquema NoC; Fonte: (ESCALE, 2011)	28
Figura 4.2: Esquema NoC3D (RODRIGUES, 2014)	29
Figura 4.3: Topologia NoC3D (RODRIGUES, 2014)	29
Figura 4.4: Mesh 3D Regular (RODRIGUES, 2014)	30
Figura 4.5: a) Mesh Irregular 3D; b) Ilustração do Cmap.	30
Figura 4.6: (a) NSI-Mesh; (b) Representação do Cmap.	31
Figura 4.7: Declaração dos tipos enumerado	31
Figura 4.8 (a) Exemplo do TLAR. Adaptada de (CHAO, 2011);	32
Figura 4.9: (a) Esquema TLAR; (b) representação do Cmap.	33
Figura 4.10: Operação fluxograma de uma camada de transporte e uma camada de rede. Adaptada de (CHEN et al, 2014)	33
Figura 4.11: a) Especificação do Esquema do modo de roteamento TAAR proposto por (CHEN et al, 2014); b) Representação do cmap.	34
Figura 4.12: Tabela de Escolha do TAMRA (CHEN , 2014)	34
Figura 4.13: (a) Especificação do Esquema do roteamento TAMRA (b) Escolha do roteamento. Adaptada (CHAO et al, 2013); (c) representação do Cmap.	35

Figura 4.14: Esquema TLAR

36

Figura 4.15 Esquema TAMRA

37

LISTA DE SIGLAS, ACRÔNIMOS E ABREVIACÕES

2D	Duas Dimensões
3D	Três Dimensões
aSOC	<i>adaptative System on Chip</i>
CAD	<i>Computer Aided Design</i>
CADZ	<i>Computer Aided Design Z</i>
CMOS	<i>Complementary Metal-oxide Semiconductor</i>
CSP	<i>Communicating Sequential Processes</i>
ISO	<i>International Organization for Standardization</i>
NoC	<i>Network on Chip</i>
SOC	<i>System on Chip</i>
NSI-Mesh	<i>Nonstationary Irregular Mesh</i>
RAT	Roteamento Adaptativo baseado na Topologia
TAAR	<i>Topology Aware Adaptive Routing</i>
DSP	<i>Digital Signal Processing</i>
FPGA	Field Programmable Gate Array
3DICs	<i>Three-dimensional integrated circuits</i>
TTAR	<i>Traffic and Thermal-Aware Routing</i>
TAVT	<i>Thermal-Aware Vertical Throttling</i>
TAMRA	<i>Topology-Aware Multiple Routing Adjustment</i>
TLAR	<i>Transport Layer Assisted Routing</i>
FFT	<i>Fast Fourier Transform</i>
QoS	Qualidade de Serviço

SUMÁRIO

1. INTRODUÇÃO.....	12
1.1. OBJETIVO GERAL.....	13
1.2. OBJETIVOS ESPECÍFICOS.....	13
1.3. METODOLOGIA.....	14
1.4. ESTRUTURA DA MONOGRAFIA.....	14
2. REDES EM CHIP E MÉTODOS FORMAIS.....	15
2.1. REDES EM CHIP.....	15
2.1.1. Topologias e Mecanismos de Comunicação.....	16
2.2. REDES EM CHIP 3D.....	17
2.3. MÉTODOS FORMAIS EM PROJETOS DE HARDWARE.....	20
2.3.1 Métodos Formais em Projetos de Redes Em Chip.....	21
3. MATERIAIS E METODOS.....	22
3.1. NOTAÇÃO Z.....	22
4. ESPECIFICAÇÕES FORMAIS: TOPOLOGIA NSI_MESH E ROTEAMENTOS..	27
4.1. ESPECIFICAÇÃO FORMAL.....	27
4.2. TOPOLOGIA PARA REDE EM CHIP 3D.....	29
4.3. ROTEAMENTOS PARA REDES EM CHIP 3D.....	32
4.4. CENÁRIOS.....	35
5. CONCLUSÃO E TRABALHOS FUTUROS.....	38
Referências Bibliográficas.....	39

1. INTRODUÇÃO

Atualmente, com a demanda de mercado por dispositivos portáteis de alto desempenho e que oferecem mais funcionalidades, os projetos de infraestrutura de comunicação em sistemas eletrônicos embarcados estão aderindo às interconexões tridimensionais ou 3D (WEERASEREKA *et al*, 2009). A necessidade de tecnologias de integração 3D para sistemas embarcados ou SoC (*Systems on Chip*, em inglês) expõe novas oportunidades e desafios (WEERASEREKA *et al*, 2009). O uso das Redes em Chip ou NoC (*Network on Chip*, em inglês) apresenta-se como a alternativa ideal para atender às propriedades e requisitos de *design* da arquitetura para uma integração tridimensional (LOI *et al*, 2007).

Algumas das principais motivações para o surgimento da abordagem tridimensional foram os problemas encontrados na implementação de sistemas 2D (WEERASEREKA *et al*, 2009) relacionados, principalmente, ao crescimento exponencial da quantidade de transistores em um chip. Com isso, o *delay* dos fios e o consumo de energia aumentaram drasticamente. Neste cenário, aperfeiçoar o projeto da infraestrutura de comunicação em sistemas embarcados torna-se um desafio ainda maior (MURALI *et al*, 2009).

Ao tempo que as Redes em Chip dispontam como uma solução de interconexão e integração tridimensional, desafios de validação e confiabilidade da estrutura de comunicação devem ser considerados para que a corretude do comportamento do sistema seja alcançada. Uma das técnicas que auxilia no enfrentamento de tais desafios, ainda nas fases iniciais de projeto, são os Métodos Formais. Essa técnica se baseia em formalismos matemáticos para especificar, desenvolver e verificar sistemas tanto de software como de hardware, sendo utilizada para representar modelos de sistemas durante o processo de desenvolvimento.

Considerando a complexidade no desenvolvimento de ferramentas computacionais, que auxiliem em projetos futuros de softwares e Hardwares, ou até mesmo em simulações, Woodcock (2006) enfatiza e apresenta a verificação formal como “, um dos grandes desafios para a computação. O uso de métodos formais permite a análise de soluções para modelagem e verificação da comunicação em Redes em Chip (KAMALI, *et al*, 2011).

Dada a complexidade do projeto de Redes em Chip, notadamente do tipo tridimensional, e a valiosa contribuição dos métodos formais na especificação de modelos, este trabalho adota a linguagem de especificação Z, também conhecida como Notação Z (SPIVEY, 1992), na especificação de Redes em Chip Tridimensionais, e de topologia e algoritmo de roteamento que oferecem suporte a essa classe de rede. Além da Notação Z, foram utilizadas a Metodologia CADZ (*Computer Aided Design based on Z*) (RAMOS, 2007) e a ferramenta Z-Eves (SAALTINK, 1997) para a obtenção das especificações. As especificações desenvolvidas passaram a integrar o repositório de especificações geradas por meio da Metodologia CADZ.

A Metodologia CADZ difere das metodologias tradicionais para Redes em Chips pela utilização de Z na fase de modelagem formal. Por meio da modelagem formal em Z, busca-se permitir ao usuário definir de forma rigorosa incremental as propriedades fundamentais do elemento de comunicação, possibilitando a avaliação qualitativa das propriedades nas fases iniciais do projeto (RAMOS, 2007).

A notação Z é uma linguagem de especificação formal baseada fortemente na teoria dos conjuntos e na lógica matemática, padronizada pela ISO em (ISO,1987) e suportada por ferramentas computacionais, como Z-Eves que auxilia no processo de provas.

1.1. Objetivo Geral

Este trabalho tem como objetivo utilizar especificação formal no projeto de Redes em Chip 3D, notadamente na especificação de topologias e do mecanismo de comunicação de roteamento.

1.2. Objetivos Específicos

A fim de alcançar o objetivo geral, foram relacionados os seguintes objetivos específicos:

- Investigar topologias e roteamentos para Redes em Chip 3D;

- Aprofundar o conhecimento da Notação Z, metodologia CADZ e da ferramenta Z-Eves para realizar as especificações de Redes em Chip 3D, topologia e algoritmos de roteamento para tais redes;
- Desenvolver a especificação formal em Z por meio da ferramenta Z-Eves;

1.3. Metodologia

Este trabalho contou com levantamento bibliográfico referente às Redes em Chip 3D, suas topologias e roteamentos mais utilizados, analisando pesquisas e resultados na área. Contou com um estudo aprofundado da Notação Z, linguagem de especificação formal adotada na disciplina de Métodos Formais e definida como a linguagem de especificação a ser adotada neste trabalho de conclusão de curso.

Outro método adotado foi o de reuso de especificações formais de Redes em Chip genéricas já existentes, uma vez que foi utilizada a Metodologia CADZ que detém um repositório de especificações de Redes em Chip genéricas e mecanismos de comunicação tais como topologia, algoritmos de chaveamento, roteamento, arbitragem e memorização.

Além da Notação Z e da metodologia CADZ, esta pesquisa utilizou a ferramenta Z/Eves (SAALTINK, 1997a) (SAALTINK, 1997b), fundamental para a verificação e provas das especificações.

1.4. Estrutura da Monografia

Esta monografia está estruturada em cinco capítulos, sendo este o primeiro capítulo. O Capítulo 2 traz os conceitos preliminares relacionados ao estudo dos métodos formais em projetos de Hardware, Introduz também os fundamentos das Redes em Chip e suas características; o Capítulo 3 traz especificamente à Notação Z e à Metodologia CADZ, já no capítulo 4 mostra toda a especificação formal desenvolvida neste trabalho e as pré-existentes, e por fim o Capítulo 5 traz conclusão deste trabalho.

2. REDES EM CHIP E MÉTODOS FORMAIS

Este capítulo apresenta na seção 2.1 os fundamentos das Redes em Chip e destaca, na seção 2.2, as Redes em Chip com tecnologia Tridimensional (3D), bem como, aborda conceitos e o uso de técnicas formais no projeto de Redes em Chip.

2.1. Redes em Chip

Uma Rede em Chip pode ser definida como um conjunto de roteadores e canais ponto-a-ponto de interligação como mostra a Figura 2.1 (ZEFERINO *et al*, 2003). Cada roteador tem um conjunto de portas usadas para conectar com vizinhos e com um núcleo de processamento.

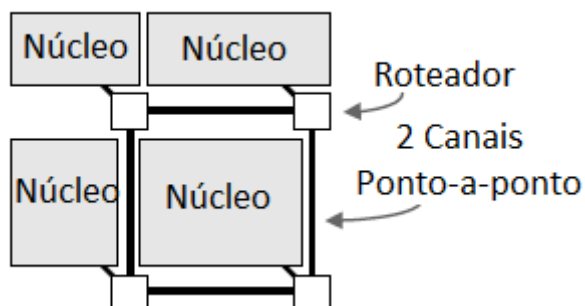


Figura 2.1: Topologia básica de rede-em-chip Adaptada de (ZEFERINO, 2003)

Assim como uma rede de interconexão para computadores paralelos, duas características importantes das Redes em Chip são a topologia e os mecanismos de comunicação (ZEFERINO *et al*, 2003). Segundo Sgroi *et al*. (2001), enquanto a topologia está inerentemente relacionada à arquitetura da rede, os mecanismos de comunicação especificam como os recursos da rede serão usados durante a operação do sistema, ou seja, define a forma como as mensagens serão transferidas pela rede.

De acordo com AHMED *et al*. (2010), as Redes em Chip conectam processadores, memórias e outros componentes personalizados, utilizando pacotes de comutação em vez de comutação de mensagens ou palavras, fornecendo uma

maior largura de banda e melhor desempenho. LOI *et al.* (2007) definem as Redes em Chip como uma quebra de paradigma, por substituir os tradicionais barramentos, para combater sistematicamente os desafios, tais como o crescimento no *delay*.

2.1.1. Topologias e Mecanismos de Comunicação

As Redes em Chip são caracterizadas por sua topologia e pelas estratégias utilizadas para o roteamento, controle de fluxo, comutação, arbitragem e memorização (ZEFERINO, 2003). O roteamento (*routing*, em inglês), determina como uma mensagem percorre um caminho a partir de um nó origem até um nó alvo, enquanto o controle de fluxo consiste a atribuição de canais e *buffers* a uma mensagem, uma vez que atravessa este caminho. A comutação é o mecanismo que remove os dados a partir de um canal de entrada de um roteador e coloca em uma saída do canal. A arbitragem é responsável por agendar a utilização de canais pelas mensagens. Finalmente, a memorização ou (*buffering*, em inglês), define a abordagem utilizada para armazenamento das mensagens (ZEFERINO, 2003).

Segundo Hwang (1993), o desempenho de uma rede de interconexão é afetada pelos seguintes fatores: funcionalidade, latência da rede, largura de banda, complexidade do hardware e escalabilidade.

A funcionalidade está relacionada ao modo como a rede suporta o roteamento de dados, tratamento de interrupção, sincronização e coerência. A latência da rede se refere ao pior caso na transferência de uma mensagem através da rede. A taxa máxima de transferência de dados está relacionada à largura de banda da rede, enquanto que os custos de implementação com conexões, roteadores, árbitros e interface lógica estão relacionados à complexidade do hardware. A escalabilidade está relacionada à habilidade da expansão da rede com um desempenho escalável (RAMOS, 2007).

Deste modo, foram elaboradas várias topologias de rede de interconexão para diferentes projetos de Redes em Chip como mostra a Figura 2.2. As topologias diretas mais utilizadas em redes segundo Escalé (2011) são a Malha (*Mesh*) e o Toróide (*Torus*). Enquanto que as topologias que mais se destacam nas redes indiretas são o *Crossbar* e as redes *Multiestágio*, como a *Butterfly* Bidirecional e a *Árvore Gorda*.

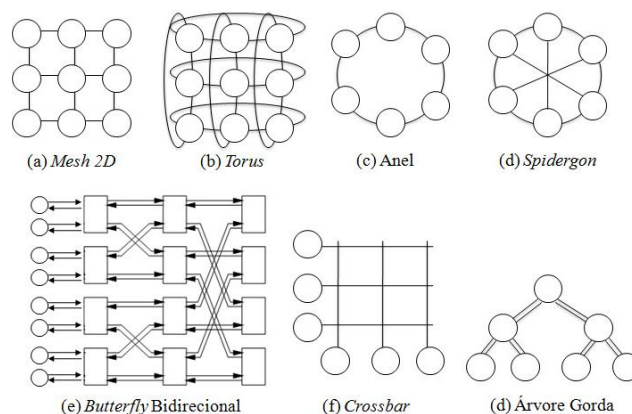


Figura 2.2: Topologias utilizadas em Redes em Chip (Baseado em Duato e Ni, 1997)

Em Duato *et al*, (1997) a topologia *Mesh* é caracterizada por um nó que se conecta aos seus nós adjacentes, disponibilizados em forma de malha ela é uma topologia bidimensional e também uma das mais utilizadas

Diante das dificuldades encontradas no projeto de Redes em Chip com a integração bidimensional, alguns grupos de pesquisa na indústria e na academia vêm adotando arquiteturas 3D, a Integração da terceira dimensão nesta topologia apresenta uma variedade de escolhas para NoC (Pavlidis e Frideman 2007) que será melhor abordada no tópico seguinte.

2.2. Redes em Chip 3D

Nos últimos anos, os Circuitos Integrados Tridimensionais ou *Three-dimensional integrated circuits* (3DICs) trazem novas possibilidades para integrar muitos componentes heterogêneos em um único chip (OUYANG *et al.*, 2010).

Devido à crescente demanda dos consumidores por produtos cada vez menores, mais leves e que oferecem mais funcionalidade e desempenho a partir de baixo consumo de energia, novas tecnologias de implementação buscam soluções na tecnologia 3D (WEERASEKERA *et al*, 2007).

A tecnologia de empilhamento 3D é particionada em vários blocos, como mostra a Figura 2.3, sendo cada bloco implementado em uma camada de silício empilhada sobre outra. Cada camada de silício possui vários encaminhamentos de fios horizontais (SEICULESCO *et al.*, 2011).

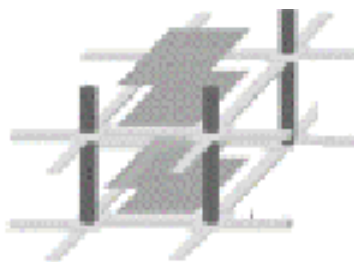


Figura 2.3: Rede em Chip 3D Adaptada de (PAVLIDIS e FRIEDMAM, 2007).

A principal motivação, segundo (WEERASSEKER *et al.*, 2009), para o uso da Integração Tridimensional são os problemas de implementação associadas à Integração 2D, tais como obstáculos devido a área utilizada e congestionamento de roteamento, como os gargalos de memória em SoCs multimídia.

A tecnologia de fabricação de chips 2D enfrentou muitos desafios na utilização de um número exponencialmente crescente de transistores em um chip. O atraso do fio e consumo de energia aumentou dramaticamente e alcançar um projeto de interconexão tornou-se desafiador (MURALI *et al.*, 2009). Além disso, diversos componentes digitais, analógicos e de Rádio Frequência (*Radio Frequency*) são integrados no mesmo chip, resultando em grande complexidade para o processo de fabricação 2D. Sendo assim, a tecnologia 3D emerge como uma solução atraente para continuar o ritmo de crescimento dos sistemas em chips

Segundo KIM *et al.* (2007), a Tecnologia de chip 3D reduz atrasos de interconexão por meio do empilhamento de múltiplas camadas, fornecendo ligações verticais mais curtas. Os autores afirmam que a infraestrutura 3D amadureceu e desmistificam algumas das preocupações sobre a viabilidade térmica e confiabilidade de vias *inter-wafer* ou entre camadas. Além disso, a pesquisa integra efetivamente tecnologias heterogêneas no mesmo chip, de forma que existam camadas de memórias empilhadas em camadas de núcleos de processamento. É possível também a alocação de componentes analógicos e digitais no mesmo chip, evitando problemas comuns de ruído.

Mesmo com as vantagens encontradas na Rede em Chip 3D, comparando-se com a tecnologia 2D, o desafio referente a temperatura é bem mais grave (YIN *et al.*, 2011). Os problemas térmicos tornaram-se os principais desafios de Circuitos Integrados 3D, devido ao *delay* do empilhamento do chip. Os roteadores são apontados como principais fontes de geração térmica, devido à atividade de comutação que agrava o problema de calor em sistemas de Redes em Chip 3D

(CHAO *et al*, 2011). Os roteadores superaquecidos nas placas não transmitem qualquer pacote até que a temperatura térmica torne-se ideal (CHEN, 2013).

A topologia *mesh* irregular não estacionária ou *Nonstationary Irregular Mesh* (NSI-Mesh), representada graficamente na Figura 2.4, faz com que muitos pacotes antes bloqueados na rede por um longo período de tempo, devido aos roteadores superaquecidos, passem a ser encaminhados por rotas alternativas. Para isso, aqueles roteadores considerados superaquecidos e sobrecarregados numa grelha regular entram em estado inativo, gerando uma topologia de grelha irregular. Na medida em que a temperatura se normaliza, os roteadores retornam à ativa, refazendo as conexões originais.

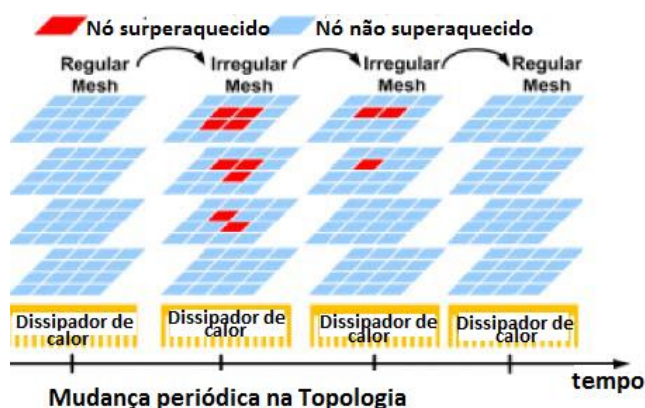


Figura 2.4: Topologia Mesh-Não-Estacionária. Adaptada de (CHEN, 2013).

Para garantir a entrega de pacotes bem sucedida na *NSI-Mesh*, alguns algoritmos de roteamento foram propostos, visando equilibrar o tráfego na *NSI-Mesh*, como LIN *et al.* (2011) que propuseram o Roteamento baseado em Tráfego e Temperatura ou *Traffic and Thermal-Aware Routing* (TTAR) que permite desviar um pacote dos nós superaquecidos e rotear corretamente com base na informação de superaquecimento armazenada nas tabelas de roteamento. Este modo de roteamento, no entanto, apresenta dois problemas mostrados a seguir:

- Restrição nos caminhos de roteamento, que leva à concentração do tráfego em colunas específicas.
- É grande a diversidade de trajetória vertical, desta forma, a carga de tráfego vertical torna-se muito desequilibrada.

Para manter a temperatura abaixo de um determinado limite de sistema térmico, o gerenciamento térmico em tempo de execução é necessário. Visando este problema, CHAO *et al.* (2011) propuseram o algoritmo *Thermal-Aware Vertical*

Throttling (TAVT) para regular a temperatura de rede. O aperfeiçoamento deste algoritmo deu origem ao *Transport Layer Assisted Routing* (TLAR), que considera a informação tanto de camada de transporte e como da camada de rede para gerar rotas.

Para garantir a entrega bem sucedida de pacotes numa rede com topologia *NSI-Mesh* e ainda a partir do aperfeiçoamento dos trabalhos anteriores, CHEN *et al*, (2011) propuseram a abordagem de Roteamento Adaptativo baseado em Topologia ou *Topology Aware Adaptive Routing* (TAAR). O TAAR apresenta três modos de roteamento, que podem ser dinamicamente ajustados com base no estado da topologia. Além de aumentar a flexibilidade no encaminhamento, o TAAR também aumenta a diversidade de trajetória tanto vertical quanto lateral para equilibrar a carga de tráfego.

A partir das especificações formais desenvolvidas neste trabalho, é possível possibilitar aos projetista uma modelagem de verificação de desempenho de Redes em Chip 3D com topologia *NSI-Mesh*, que adotam ambas estratégias de roteamento por meio dos algoritmos: TLAR e TAAR, os quais foram especificados. A topologia *Mesh* irregular também foi especificada tendo como base as métricas latência e vazão as quais serão abordadas nas próximas seções.

2.3 Métodos Formais em Projetos de Hardware

Considerando que os métodos formais representam um recurso capaz de aumentar a qualidade e confiabilidade de um sistema de hardware, Asif *et al*. (2012) apresentam o modelo do sistema de software e hardware para localização de petróleo e reservatórios de gás, utilizando a notação Z. Enquanto Iqbal *et al*. (2012), utilizam o mesmo formalismo para analisar o ambiente, comportamento e a funcionalidade de robôs móveis.

Ramos (2007) apresenta a Metodologia CADZ, que utiliza o formalismo Z para analisar qualitativamente as propriedades do sistema de comunicação de uma Rede em Chip, de modo a identificar possíveis falhas nas fases iniciais do ciclo de projeto. Dodge *et al*, (1996) utilizam a notação Z para especificar um processador de sinal digital ou DSP (*Digital Signal Processor*) dedicado ao cálculo da transformada rápida

de Fourier ou FFT (*Fast Fourier Transform*) e WEZEMAN (1995), demonstra o uso da notação Z, apresentando um método para modelar componentes de rede a partir do ponto de vista do gerenciador da rede.

2.3.1 Métodos Formais em Projetos de Redes Em Chip

O rápido e contínuo crescimento do mercado de sistemas embarcados e a crescente capacidade de integração de circuitos têm gerado muitos desafios para o projeto de sistemas de hardware e software integrados, oferecendo inúmeras oportunidades de pesquisa.

Escalé (2010) apresenta uma especificação, em LOTOS, que define requisitos de Qualidade de Serviço (QoS) associados à comunicação de uma Rede em Chip. Enquanto (Escalé, 2011) utiliza o formalismo Z para aprimorar o Modelo de QoS capaz de auxiliar a análise do comportamento dos mecanismos de comunicação e das topologias de uma Rede em Chip antes de sua implementação. O modelo proposto estende a especificação formal que compõe a metodologia CADZ de forma a adicionar o tratamento de requisitos de QoS.

Kriouile *et al.* (2013) investigam o uso de técnicas de verificação formal, mais precisamente a partir das ferramentas CADP para validar um modelo formal genérico de um Sistema Embarcado compatível com a especificação ACE, proposta pela ARM. (SHARIFI *et al.*, 2013) utilizam a linguagem Rebeca para analisar algoritmos de roteamento em uma Rede em Chip, de acordo com requisitos de desempenho específicos.

No contexto das Redes em Chip 3D Kamali *et al.* (2011) por meio de métodos formais especificam a comunicação *unicast* e *multicast*, utilizando o algoritmo de roteamento XYZ. KAMALI *et al.* (2012) propõem ainda três modelos abstratos de Redes em Chip 3D para demonstrar o uso destes modelos com ênfase no roteamento de XYZ.

Andriamiarina *et al.* (2012) apresentam um especificação formal na linguagem Evene-B para verificação de protocolos e requisitos de segurança e convergência em Redes em Chip.

3. MATERIAIS E METODOS

Neste capítulo serão mostrados os materiais utilizados para o desenvolvimento desta monografia, que permitiram a obtenção dos resultados. Com base nesse levantamento foi possível a construções das especificações.

3.1 Notação Z

A linguagem formal Z, utilizada neste trabalho, foi criada na universidade Oxford no fim da década de 70, seu objetivo é servir como notação para as especificações formais de sistemas. A notação gerada pela linguagem Z utiliza uma variedade de estruturas matemáticas: como conjuntos, relações e funções para descrever o comportamento do sistema por meio da construção de modelos, estados de um sistema e suas transições, baseados em pré e pós-condições (SPIVEY, 1992)

A especificação desenvolvida neste trabalho segue a sintaxe da notação Z (SPIVEY, 1992). Segundo Spivey(1992), uma valioso recurso para modelar dados de um sistemas são os tipos de dados. Estes tipos de dados não são orientados para a representação do computador, mas obedecem a uma rica coleção de leis matemáticas, como as citadas a seguir, que tornam possível analisar como um sistema específico se comporta.

Ainda em Spivey (1992) ele descreve um elemento importante para especificação formal em Z que é o esquema (em inglês *Schema*), onde na parte da declaração do esquema é declarada as entidades, onde logo serão melhor defenidas na parte do predicado mostrado na figura 3.1.

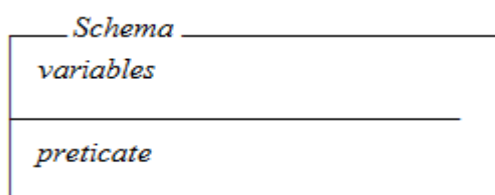


Figura 3.1 Declaração de esquema em Z

As definições utilizadas na notação Z, as quais irão ser apresentadas a seguir na figura 3.2 que são elas: abreviações, abreviações genéricas, definições axiomáticas, definições genéricas e tuplas retirada de Spivey(1992).



Figura 3.2 Definições da Notação Z em Spivey (1992).

Assim como na lógica matemática existem também representação dos conjuntos para a linguagem Z, que são eles: Power set e Produto cartesiano e entre outros como mostra na figura 3.3.

\mathcal{P} *Power Set*

\times *Produto Cartesiano*

Figura 3.3 Declaração de conjuntos em Z de Spivey (1992).

Neste trabalho a ferramenta utilizada foi a seguinte: Z-Eves (SAALTINK, 1997a) (SAALTINK, 1997b) que permite a automatização das tarefas de verificação, como a checagem da sintaxe, os cálculos de pré-condições e a prova dos teoremas.

O Z-EVES é um sistema interativo utilizado para compor, verificar e analisar especificações em Z, além de permitir a adição e a prova de teoremas. Esta ferramenta pode ser dividida em duas partes: um servidor que checa os parágrafos e executa os comandos de prova; e uma interface gráfica que facilita a manipulação da especificação, envia comandos para o servidor e apresenta resultados (SAALTINK, 1999). Na interface gráfica, uma das principais janelas é a de especificação, Figura 3.4, que mostra parte da especificação, bem como o *status* de cada parágrafo na coluna lateral esquerda.

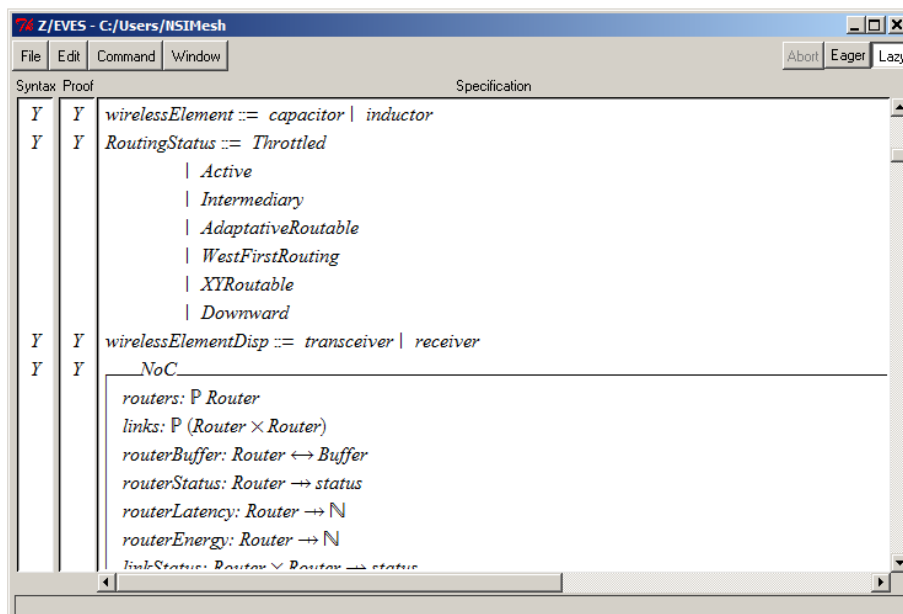


Figura 3.4: Janela de Especificação do Z-Eves

A Figura 3.5 mostra a janela de Prova que fornece três funções: inspeção e modificação de um script de prova; construção interativa de uma prova; e navegação na prova. Alguns comandos de prova estão disponíveis a partir de menus. Porém, para o melhor uso do provador é necessário conhecer a sintaxe dos comandos e combinar técnicas de prova.

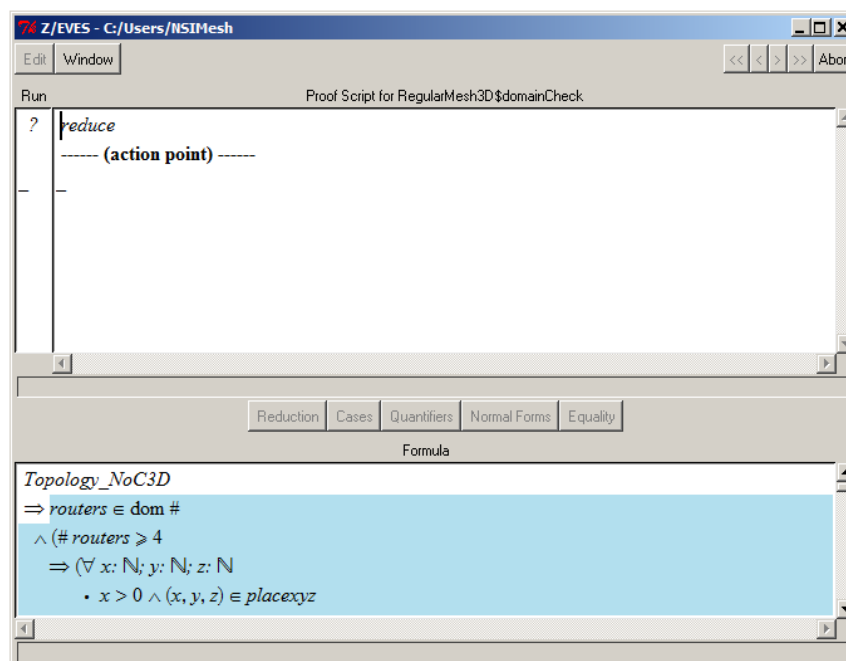


Figura 3.5: Janela de Prova do Z-Eves

As especificações geradas neste trabalho, incluindo integram a biblioteca de especificações da metodologia CADZ, representada graficamente na Figura 3.7.

A metodologia CADZ difere das metodologias tradicionais pela utilização de Z na modelagem formal, que traduz as exigências específicas de cada projeto. Por meio da modelagem formal em Z, busca-se permitir ao usuário definir de forma rigorosa e incremental as propriedades fundamentais do elemento de comunicação, possibilitando a avaliação qualitativa das propriedades nas fases iniciais do projeto (RAMOS, 2007).

A metodologia compreende duas partes: uma formal e outra não formal. A parte formal é constituída por três etapas: Modelagem, Integração e Análise Qualitativa. A fase da modelagem subdivide-se em: modelagem da aplicação e da arquitetura, possibilitando que equipes diferentes possam trabalhar ao mesmo tempo (RAMOS, 2007).

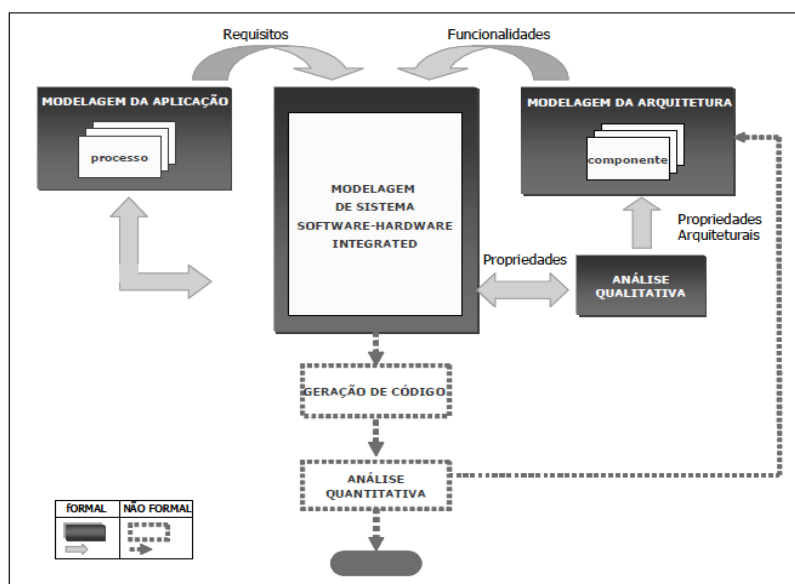


Figura 3.6: Fases da Metodologia CADZ (RAMOS, 2007)

Este trabalho adiciona à biblioteca de especificações da Metodologia CADZ elementos relacionados à topologia NSI-Mesh, bem como os algoritmos que permitem rotear pacotes em Rede em Chip 3D com essa topologia. As especificações desenvolvidas neste trabalho estão destacados em azul na Figura 3.7.

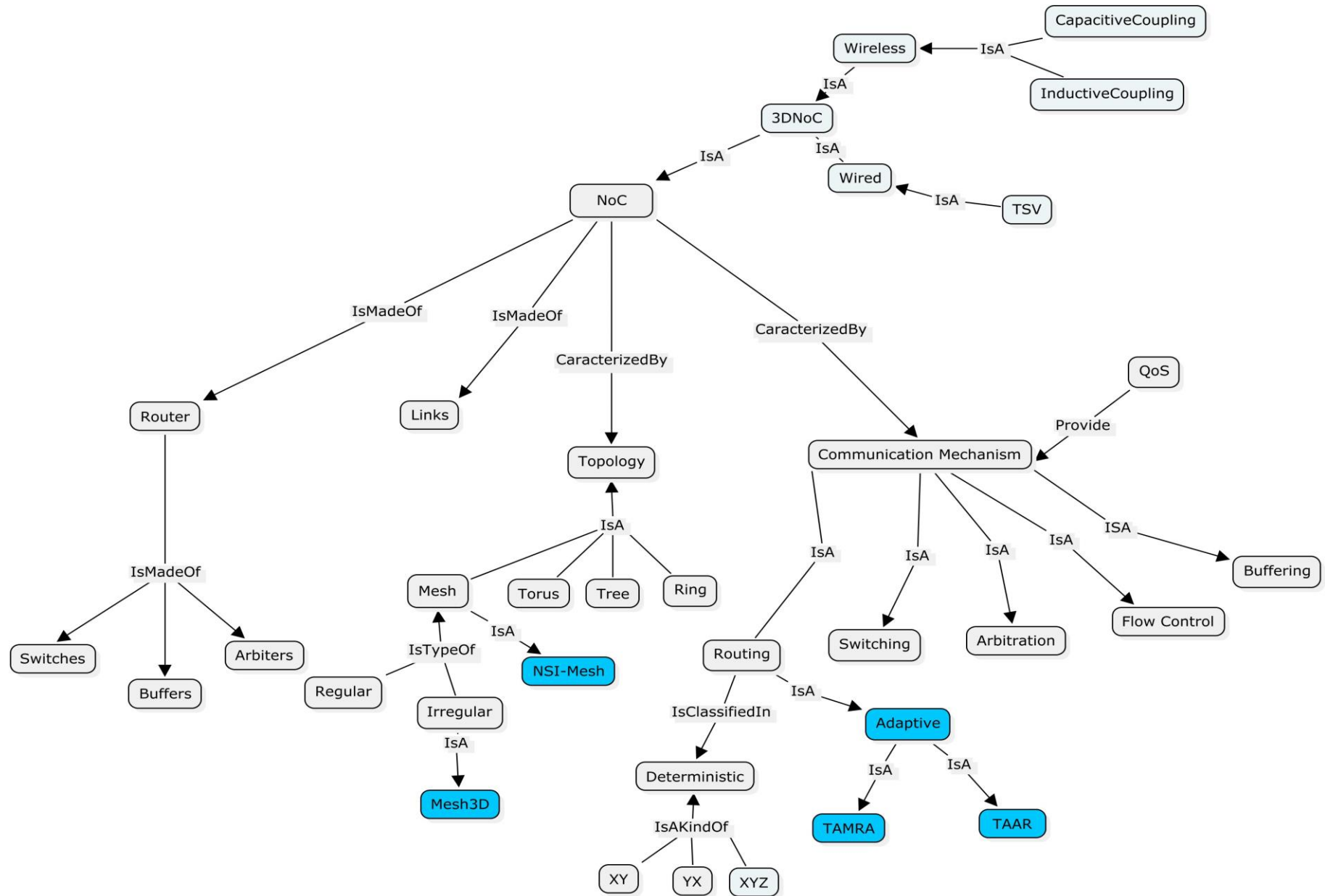


Figura 3.7: Modelo conceitual da biblioteca de especificações CADZ

4. ESPECIFICAÇÕES DA TOPOLOGIA NSI_MESH E ROTEAMENTOS

Ao longo deste capítulo serão apresentados esquemas de especificações desenvolvidas de uma Rede em Chip Tridimensional com Topologia Mesh Não-Estacionária.

4.1 Especificação Formal

As especificações em Z desenvolvidas durante este trabalho são compatíveis com todos os esquemas existentes na biblioteca CADZ. Por esta razão, aqui destacamos esquemas propostos por (RAMOS, 2007), (ESCALE, 2011) e (RODRIGUES, 2014). A Figura 4.1, por exemplo, representa uma Rede em Chip, adaptada de (RAMOS, 2007) de forma a facilitar o tratamento os requisitos de latência e compor um modelo de QoS proposto em (ESCALE, 2011).

O esquema *NoC* apresenta na parte declarativa o conjunto de roteadores (*routers*: $\mathbb{P} Router$); a relação *links* que define o canal entre roteadores ($\mathbb{P}(Router \times Router)$); e os requisitos de latência relacionados aos componentes da Rede em Chip, associa cada roteador a um ou vários dispositivos de armazenamento (*Router* \leftrightarrow *Buffer*). Por exemplo; e por fim no predicado são representadas as restrições necessárias para declarar roteadores como sendo componentes dessa *NoC*. Além disso, a figura exemplifica as funções de associação de latência e *status* a um componente, neste caso um roteador. Este esquema também representa os dispositivos de memorização e os canais físicos também estão associados a valores de *status*, latência e energia, visto que estes componentes estão diretamente relacionados às métricas de desempenho.

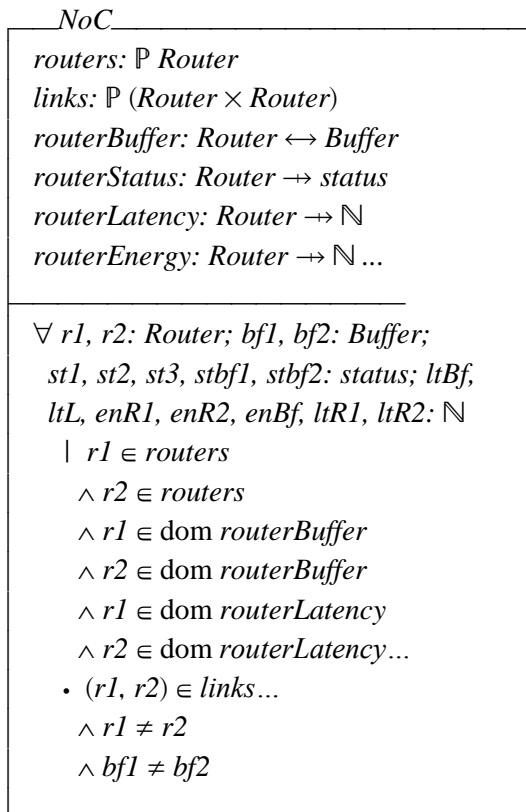


Figura 4.1: Esquema NoC; Fonte: (ESCALE, 2011)

A Figura 4.2 apresenta o esquema *NoC3D*, o qual também estende as características da *NoC* de (RAMOS, 2007) e acrescenta elementos de uma Rede em Chip Tridimensional de acordo com os estudos feito por (RODRIGUES, 2014). Em sua parte declarativa, o esquema define um conjunto finito de blocos ($blocks: \mathbb{F} Blocks$); a função *routerBlock* associa um roteador e um bloco ($Router \rightarrow Block$), indicando que os roteadores estarão sempre dispostos em blocos; a localização do bloco é definida pela associação entre um bloco e um elemento do tipo Natural ($blockPlace: Block \rightarrow \mathbb{N}$); enquanto no predicado são apresentadas as restrições para compor uma Rede Tridimensional com *links* verticais entre roteadores de diferentes blocos.

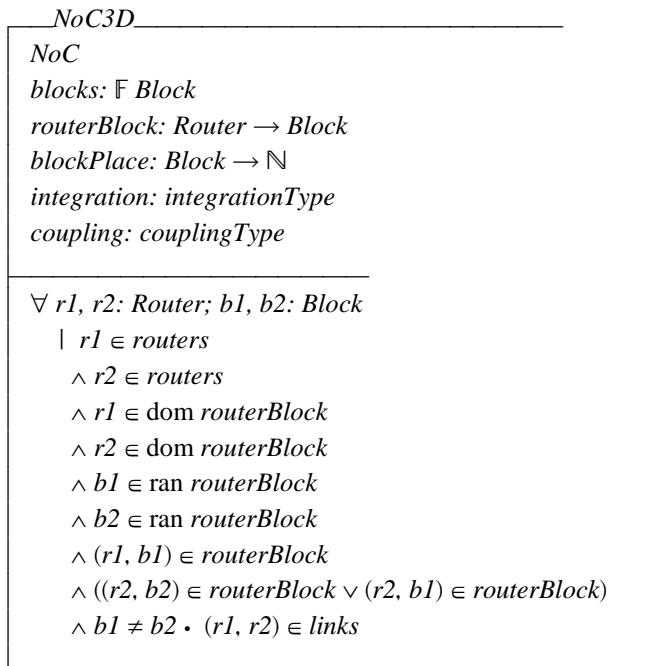


Figura 4.2: Esquema NoC3D (RODRIGUES, 2014)

4.2 Topologia Para Rede Em Chip 3D

Com o objetivo de atender aos requisitos relacionados às topologias das Redes em Chip Tridimensionais (RODRIGUES, 2014) desenvolveu o esquema *Topology_NoC3D* apresentada na Figura 4.3. Neste que por sua vez também é uma extensão do esquema *NoC*, define as dimensões X, Y, mais a dimensão Z da rede, por meio das variáveis *dimx*, *dimy*, *dimz*; o conjunto de possíveis localizações para cada roteador (*placex*, *placexy*, *placexyz*); a e a associação entre os roteadores e suas posições numa Rede em Chip (*routerplacex*, *routerplacexy*, *routerplacexyz*), determinando as interconexões existentes entre os roteadores.

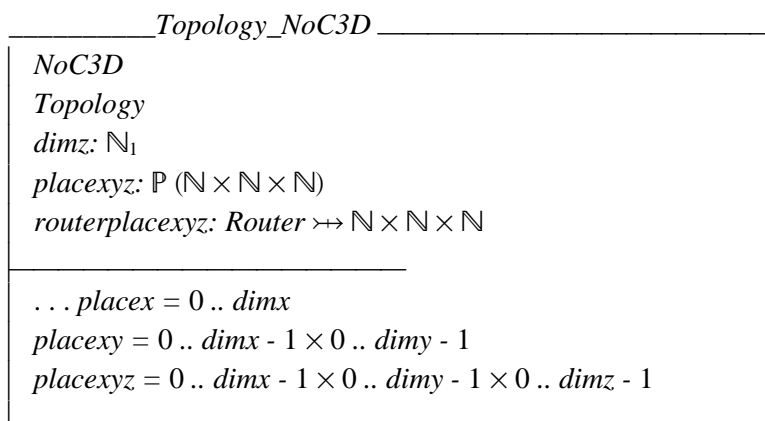


Figura 4.3: Topologia NoC3D (RODRIGUES, 2014)

RODRIGUES (2014) apresentou a topologia *Mesh* Regular para uma Rede em Chip Tridimensional, como mostra a Figura 4.4 Esta rede possui no mínimo quatro roteadores em cada bloco e cada um de seus nós formam *link* com vizinhos horizontais ou verticais.

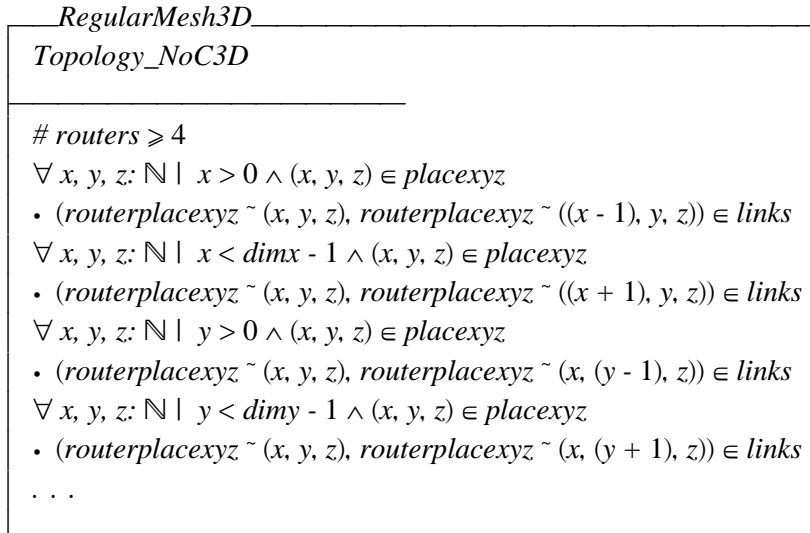


Figura 4.4: Mesh 3D Regular (RODRIGUES, 2014)

Visto que a topologia NSI-Mesh alterna links regulares e irregulares, foi criado a topologia Mesh Irregular para Redes 3D por meio do esquema IrregularMesh3D na Figura (a) 4.5, a figura (b) representa a ilustração criada no Camp para demonstrar as especificações que foram adicionadas na Biblioteca do CADZ. Este esquema contempla as características descritas no esquema *Topology_NoC3D*, porém existem roteadores que não formam *links* com todos os seus vizinhos.

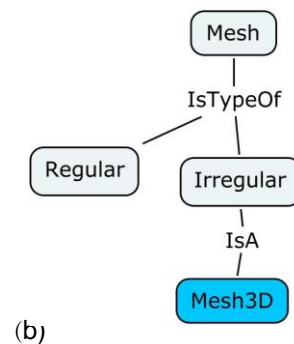
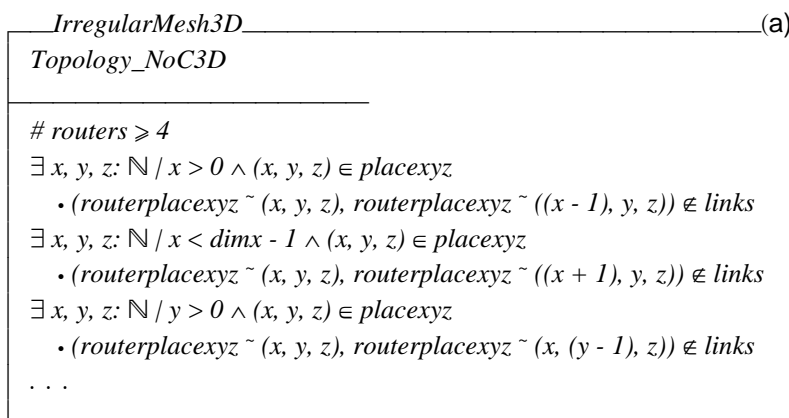


Figura 4.5: a) Mesh Irregular 3D; b) Ilustração do Cmap.

A topologia *NSI-Mesh*, proposta por (CHEN, 2013), considera que os roteadores nos blocos podem ficar superaquecidos (*throttled*), não sendo possível transmitir qualquer pacote até que a temperatura térmica torne-se segura. Sendo

assim, o esquema *NSIMesh*, como mostra na Figura 4.6 (a) e a representação do Cmap na figura 4.6 (b), especifica o problema do superaquecimento nos roteadores.

Este esquema considera as restrições especificadas nos esquemas *RegularMesh* e *IrregularMesh*, bem como no esquema *RouteTables*, visto que a formação dos links dependem não só da vizinhança, mas também do estado de aquecimento dos roteadores. Isso é feito com o auxílio da função *TopologyTable: Router → RoutingStatus*, do esquema *RouteTables*, que associa a cada roteador um status que definirá a formação de rotas ou um *RoutingStatus*, o tipo enumerado representado na Figura 4.

No predicado do esquema *NSI-Mesh* é feita a determinação do *status* de superaquecimento ou *Throttled*, que pode se encontrar o roteador na rede, desta forma o roteador não poderá fazer *link* com seu vizinho que se encontra superaquecido.

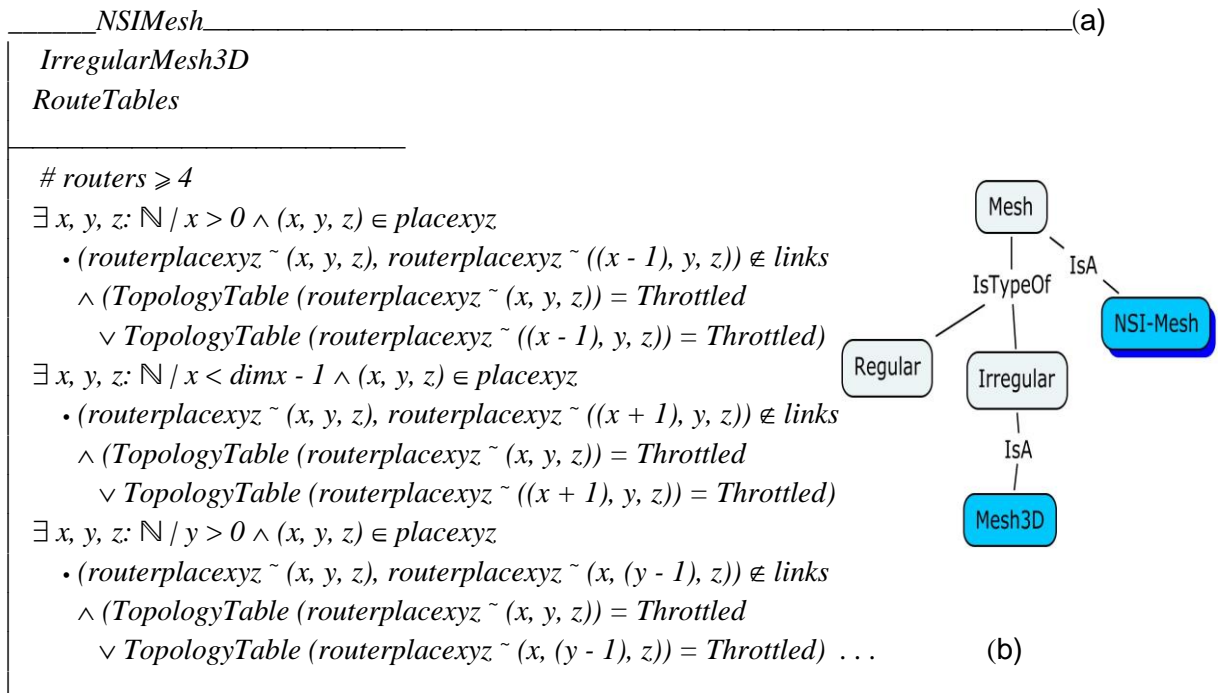


Figura 4.6: (a) NSI-Mesh; (b) Representação do Cmap.

RoutingStatus ::= Throttled / Active / Intermediary / AdaptiveRoutable / WestFirstRouting /
XYRoutable / Downward

Figura 4.7: Declaração dos tipos enumerado

4.3 Roteamentos para Redes em Chip 3D

Para solucionar ou amenizar problemas relacionados à temperatura nas Redes em Chip 3D, alguns trabalhos utilizaram técnicas de roteamento para solucionar ou amenizar problemas relacionados à temperatura nas Redes em Chip 3D, possibilitando o controle no tráfego na topologia *NSI-Mesh*. Os esquemas a seguir apresentam as especificações das abordagens TLAR (*Transport Layer Assisted Routing*), TAAR (*Topology Aware Adaptive Routing*) e TAMRA (*Topology-Aware Multiple Routing Adjustment*).

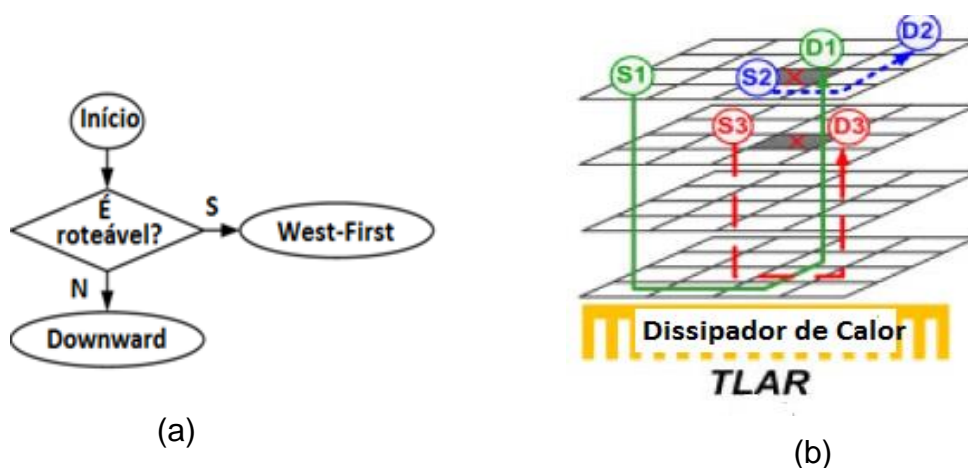


Figura 4.8 (a) Exemplo do TLAR. Adaptada de (CHAO, 2011);

(b) Exemplo de TLAR Adaptada de CHAO (2011).

A estratégia TLAR (*Transport Layer Assisted Routing*) busca o melhor caminho por meio dos algoritmos de roteamento *WestFirstRouting* e *Downward*, como representado na Figura 4.8 (a). Apesar de ser facilmente implementável, o TLAR sofre com o congestionamento de tráfego pela baixa diversidade de trajetórias laterais, conforme a Figura 4.8 (b). O esquema TLAR apresentado na Figura 4.9 (a) mostra a especificação da técnica de roteamento de (CHAO, 2011), onde o pacote é encaminhado com êxito numa *NSI-mesh* e na figura 4.9 (b) a re-resentação do cmap.

Em sua declaração, este esquema herda as características do esquema *NSIMesh*, *WestFirst* e *Downward* e define dois pares de roteadores r_0 , r_1 , onde um roteador é representado por *source* (fonte) e o outro por *destination* (alvo). Na parte prediativa os roteadores são classificados de acordo com a possibilidade de fazer parte de rotas de acordo com os algoritmos *WestFirst* ou *Downward*.

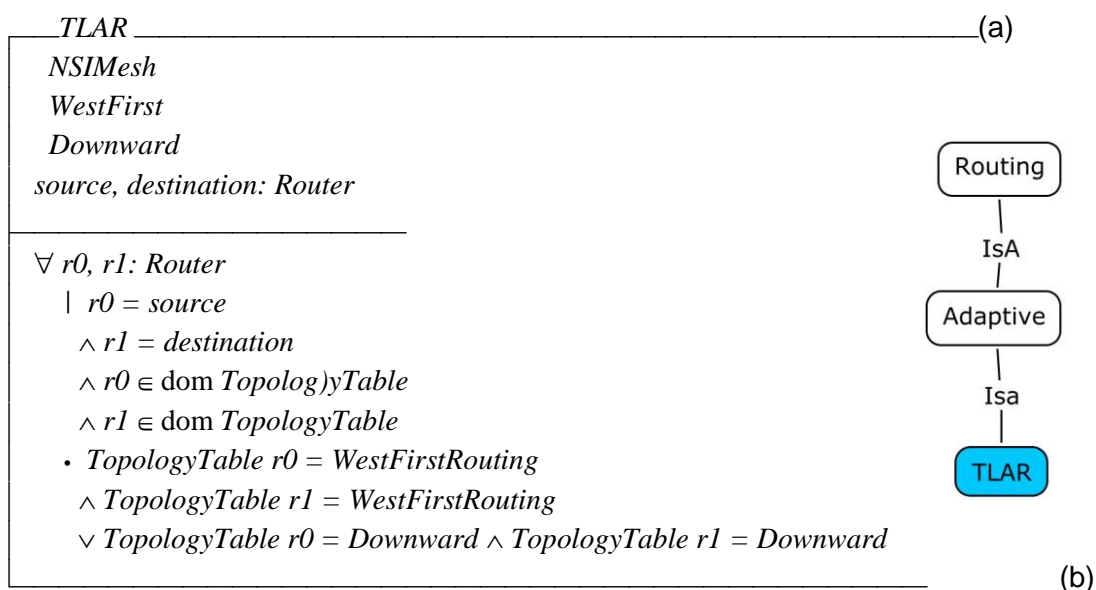


Figura 4.9:(a) Esquema TLAR; (b) representação do Cmap.

O Algoritmo TAAR (*Topology Aware Adaptive Routing*), baseado em CHEN *et al* (2013), para evitar que o pacote seja bloqueado e roteadores superaquecidos a informação de superaquecimento, o qual é armazenado na Tabela de Topologia, é verificada antes de enviar o pacote para a rede, como mostrado na Fig.4.10. As informações serão atualizadas durante cada mudança de topologia.

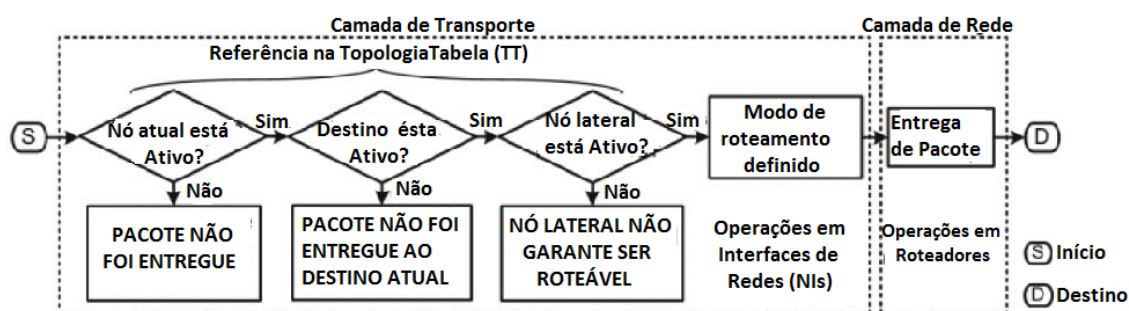


Figura 4.10: Operação fluxograma de uma camada de transporte e uma camada de rede. Adaptada de (CHEN *et al*, 2014)

O esquema TAAR Figura 4.11(a) define que entre um nó fonte (*source*) e um nós destino (*destination*), existe um nó intermediário (*lateral*). O encaminhamento de pacote entre esses nós só é possível se todos estiverem ativos (*Active*).

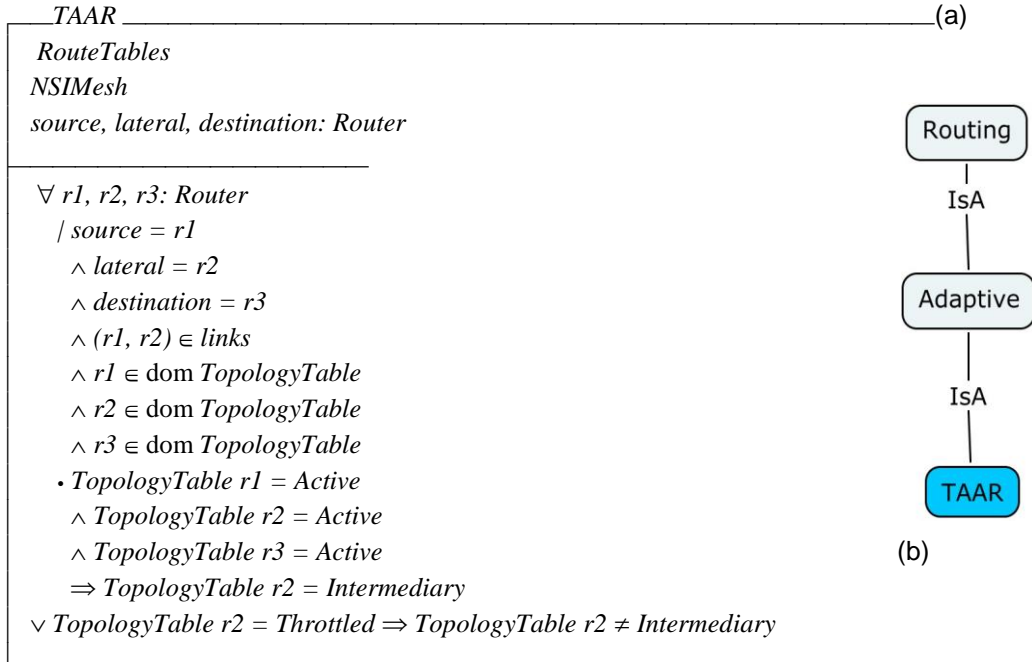


Figura 4.11: a) Especificação do Esquema do modo de roteamento TAAR proposto por (CHEN *et al*, 2014); b) Representação do cmap.

A abordagem TAMRA (*Topology-Aware Multiple Routing Adjustment*) adota duas fases de roteamento, mostradas na Figura 4.12: A primeira consiste na busca pelo nó Intermediário; e segunda fase, na escolha do roteamento. Para um encaminhamento adaptativo, com base nas informações de topologia, o TAMRA proposto pode ajustar dinamicamente o modo de roteamento, de modo que possa aumentar significativamente o espaço lateral.

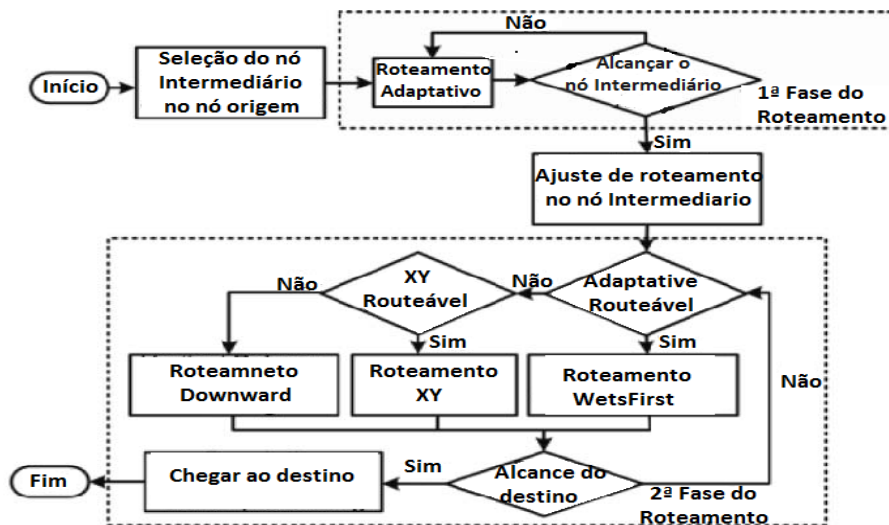


Figura 4.12: Tabela de Escolha do TAMRA (CHEN , 2014)

A proposta do TAMRA é oferecer três modos de roteamento: *Westfirst*, Roteamento XY e Downward , como mostra a Figura 4.13 (a). O esquema do TAMRA na Figura 4.13 (b) abrange características dos esquema TAAR e *RouteTable* e fundamenta-se nas regras apresentadas na Figura 4.12.

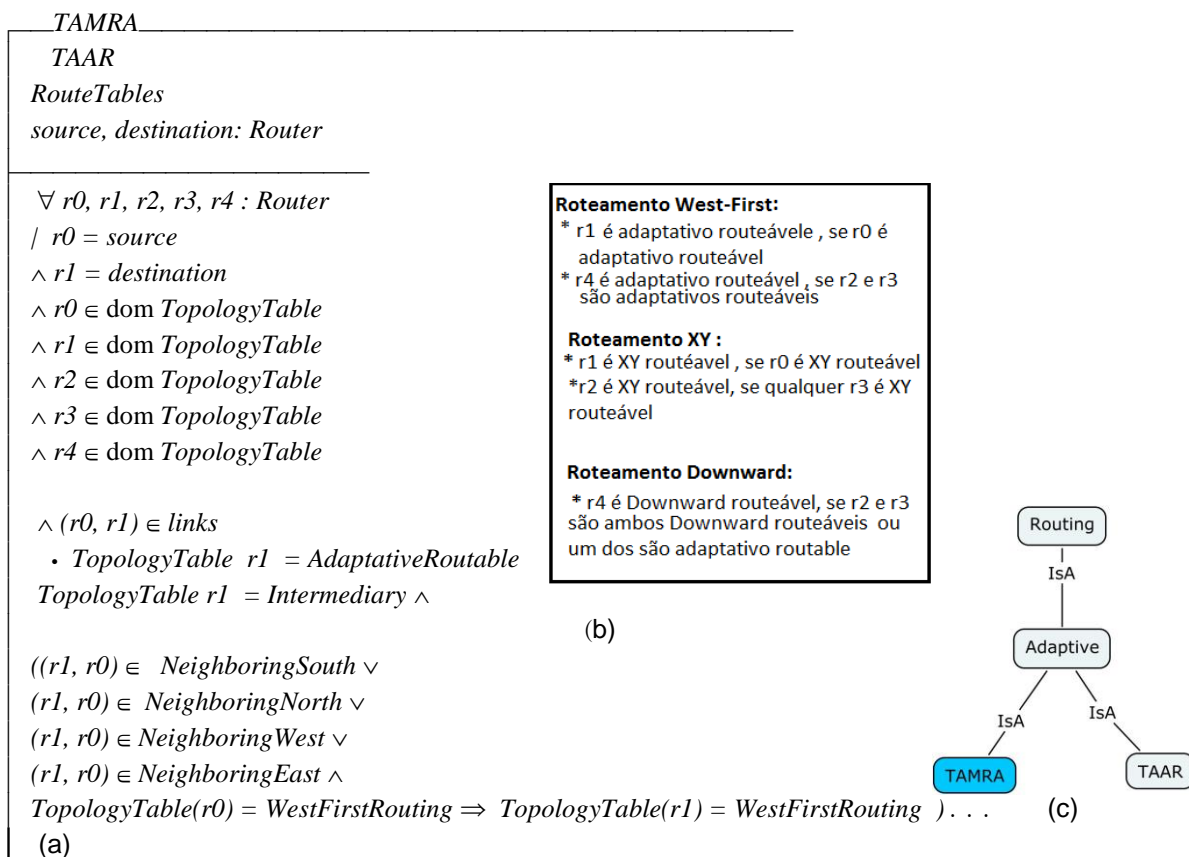
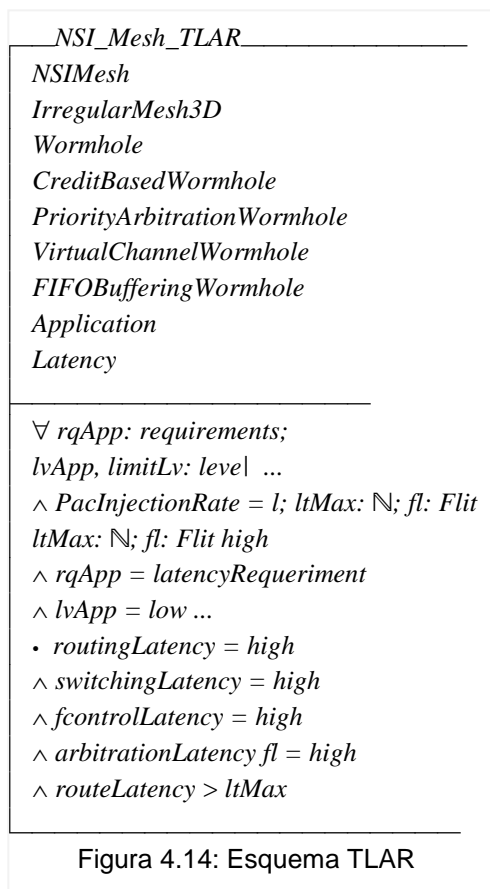


Figura 4.13: (a) Especificação do Esquema do roteamento TAMRA (b) Escolha do roteamento. Adaptada (CHAO et al, 2013); (c) representação do Cmap.

4.4 Cenários

O esquema *NSIMesh_TLAR* (Figura 4.14) para atender aos requisitos de latência, utiliza a técnica de roteamento proposta por Chen (2013). Além disso, o esquema integra a topologia *IrregularMesh3D* e os seguintes mecanismos, Chaveamento por Pacote Wormhole (*Wormhole*), Controle de Fluxo Baseado em Crédito com Canais Virtuais (*CreditBasedWormhole* e *VirtualChannelWormhole*), arbitragem *Round Robin* com Prioridade Baseada em classes de serviço

(*PriorityArbitrationWormhole*) e Memorização FIFO em cada porta do roteador (*FIFOBufferingWormhole*).



Por meio do cenário representado pelo esquema *NSIMesh_TAMRA* (Figura 4.15), é possível observar que a latência é definida como baixa. Isso é possível devido à quantidade de caminhos alternativos oferecidos pela abordagem de roteamento.

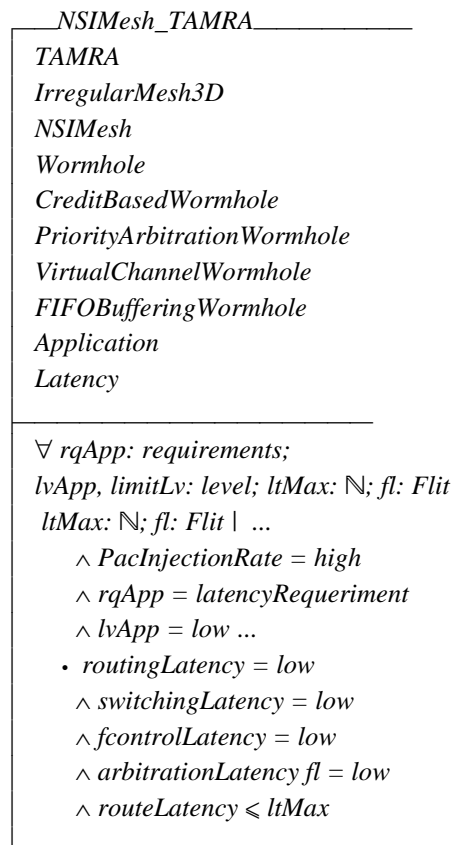


Figura 4.15 Esquema TAMRA

Segundo CHAO et al, (2013), os resultados experimentais do TAMRA, comparado com outros roteamentos adaptativos, como o TLAR, mostram que o TAMRA pode reduzir 19% a sobrecarga da rede e melhorar em torno de 7,7% a vazão da rede.

5. CONCLUSÃO E TRABALHOS FUTUROS

Este trabalho apresentou a modelagem de técnicas de roteamento para Redes em Chip Tridimensionais com topologia Mesh Não Estacionária. Para isso, foi estendida a especificação formal que compõe biblioteca da metodologia do CADZ. A especificação realizada contribui para a confiabilidade e robustez de projetos de topologia e roteamento para redes em chip tridimensionais, uma vez que pode auxiliar o projetista em problemas relacionados ao superaquecimento de Redes em Chip Tridimensionais.

A especificação foi desenvolvida a partir do formalismo Z, que permite clareza, concisão e especificações livres de ambiguidade para projetos e análises qualitativas em Redes em Chip.

A ferramenta Z/Eves foi utilizada nesta proposta para desenvolver provas, contribuindo também para a retenção do conhecimento adquirido, além de favorecer o reuso das mesmas.

Por meio da Notação Z e da ferramenta Z-Eves foi possível especificar topologia e algoritmo de roteamento que tratam o superaquecimento nos roteadores da Mesh Não Estacionária, bem como, integrar as modelagens propostas à biblioteca de especificação do CADZ, acrescentando os roteamentos adaptativos TLAR, TAAR em integração com TAMRA, que buscam o melhor caminho para entrega dos pacotes na rede tratando do superaquecimento.

As perspectivas futuras são: acrescentar a etapa de animação e cenários; integrar a biblioteca de especificações CADZ em um ambiente que permita a geração de códigos automaticamente em níveis mais baixos de abstração.

Referências Bibliográficas

- AHMED, A. A. (2010). Architecture and Design of Efficient 3D Network-on-Chip (3D NoC) for Custom Multicore SoC. International Conference on Broadband, Wireless Computing, Communications and Applications . *IEEE*.
- AL., S. L. (2011). "Traffic-and Thermal-Aware Routing for Throttling. *IEEE*.
- ANDRIAMIARINA, M. D. (2012). Formal Verification of Fault Tolerant NoC-based Architecture. *First International Workshop on Mathematics and Computer Science*.
- ASIF S, K. S. (2012). FORMALIZATION OF OIL AND GAS SEISMIC SURVEY USING ZNOTATION. *AM SCI 2012;8(12):820-826*. (ISSN: 1545-1003). <http://www.jofamericanscience.org>.
- CHAO, C. Y. (2011). Transport Layer Assisted Routing for Non-Stationary Irregular Mesh of Thermal-Aware 3D Network-on-Chip Systems. *Graduate Institute of Electronics Engineering, National Taiwan University Taipei, Taiwan R.O.C*.
- CHEN K. C., L. S. (October 2013). Topology-Aware Adaptive Routing for Nonstationary Irregular Mesh in Throttled 3D. *IEEE Transactions on Parallel and distributed Systems, VOL. 24*.
- DUATO, J. Y. (1997). Interconnection Networks: An Engineering Approach. Morgan Kaufmann Publishers.
- ESCALE, D. K. (2011, Setembro). Uma Abordagem Formal para Modelagem de QoS em Redes em Chip. *Mossoró, RN, Brasil*.
- GHIDINI, Y. W. (2012). Buffer depth and traffic influence on 3D NoCs performance. *IEEE*.
- HAZEL, D. S. (1997). Possum: An Animator for the SUM. *AsiaPacific Software Engineering Conference and Int. Computer Science Conference. 42-51*.
- HWANG, K. (1993). Advanced Computer Architecture: Parallelism, scalability, programmability, McGraw-Hill Series In Computer Science.
- IQBAL, J. K. (2012). Modeling Supervisory Control of Autonomous Mobile . *Journal of American Science, http://www.jofamericanscience.org*.
- ISO, I. P.-O. (1987). "LOTOS - A formal Description Technique Based on the Temporal Ordering of Observational Behaviour. DIS 8807.

- KAMALI, M. &. (2011). Formal Modeling of Multicast Communication in 3D NoCs. *IEEE Digital System Design*.
- KHEIROLLAHI, M. M. (2010). Expression of cyclin D2, P53, Rb and ATM cell cycle genes in brain tumors. *Medical Oncology*, 28(1). *IEEE*.
- KIM J., N. C. (2010). Novel Dimensionally-Decomposed Router for On-Chip Communication in 3D Architectures.
- LOI, I. A. (2007). Supporting Vertical Links for 3D Networks-on-Chip. *Toward an Automated Design and Analysis Flow*. *IEEE*.
- MURALI, S. S. (2009). Synthesis of Networks on Chips for 3D Systems on Chips. *IEEE*.
- OUYANG, J. X. (2010). Evaluation of Using Inductive/Capacitive-Coupling Vertical Interconnects in 3D Network-on-Chip. *IEEE*.
- PAVLIDIS, V. &. (October de 2007). 3-D Topologies for Networks-on-chip. *EEE Transactions on Very Large Scale Integration Systems*, 15.
- RAMOS, K. D. (Maio de 2007). CADZ: Uma metodologia de Projeto baseada em Z para Redes-em-Chip. *Natal, RN, Brasil*.
- RODRIGUES, C.N (2014) Análise Formal de Técnicas de Acoplamento em Redes em Chip 3D. *Natal, RN, Brasil*.
- SAALTINK, M. (1997a). " The Z/EVES User's guide" . *Canadá*.
- SAALTINK, M. (1997b). The Z/EVES system. *Em M. G. J. P. Bowen, Z Froaml Specification Notation (pp. 72-85). ZUM'97*.
- SAALTINK, M. (October 1999). The Z/EVES 2.0 User's Guide.
- SEICULESCU, C. M. (2011). 3D Network on Chip Topology Synthesis: Designing Custom Topologies for Chip Stacks. Springer Science.
- SGROI, M. (June 2001). Addressing the system-on-chip interconnect woes through communicationbased.
- SPIVEY, J. M. (1992). The Z Notation: A reference manual.
- WEERASEREKA R., Z. L. (2009). Extending Systems-on-Chip to the Third Dimension:Performance. *Cost and Technological Tradeoffs. IEEE Xplore*.
- WEZEMAN, C. D. (September 1995). Using Z for network modelling: An industrial experience report. *Computer Standards & Interfaces, Volume 17, Issues 5-6, 30, Pages 631-638*.
- WOODCOK, J. (2006). Mechanising a Fomal Model of Flash Memory.

- YING, H. J. (July 2012). Deadlock-free routing algorithms for 3-dimension Networks-on-Chip with reduced vertical channel density topologies. *IEEE*.
- ZEFERINO, C. A. (2003). Introdução as redes em chip. *Retrieved from* <http://www.dimap.ufrn/~ivan/ASIC/IntroducaoRedesChip.pdf>.
- ZHANG, H. M. (2013). Dynamic Power On/Off Method for 3D NoCs with Wireless Inductive-coupling Links. *IEEE COOL Chips XVI*.